

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 4 月 15 日 (15.04.2004)

PCT

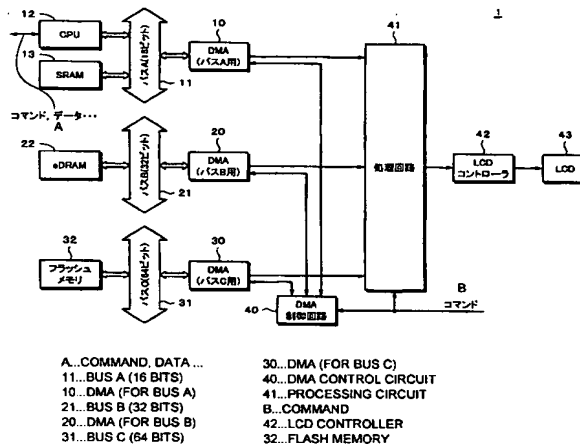
(10) 国際公開番号
WO 2004/032054 A1

- (51) 国際特許分類⁷: G06T 3/00, H04N 1/21, G06F 3/153 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/011422 (75) 発明者/出願人 (米国についてのみ): 青木 貴史 (AOKI, Takashi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 小林 浩 (KOBAYASHI, Hiroshi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 斉藤 正剛 (SAITO, Masatake) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
(22) 国際出願日: 2003 年 9 月 8 日 (08.09.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2002-292547 2002 年 10 月 4 日 (04.10.2002) JP (74) 代理人: 杉浦 正知, 外 (SUGIURA, Masatomo et al.); 〒171-0022 東京都豊島区南池袋 2 丁目 49 番 7 号 池袋パークビル 7 階 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP). (81) 指定国 (国内): KR, US.

[続葉有]

(54) Title: IMAGE PROCESSING DEVICE AND IMAGE PROCESSING METHOD

(54) 発明の名称: 画像処理装置および画像処理方法



(57) **Abstract:** A rectangular part is cut out from an image and transferred at a high speed. When cutting out a rectangular region from the image data stored in a memory (32), a DMA control circuit (40) sets information indicating a head address for starting the data transfer and a read out width on a DMA device (30). According to these information sets, the DMA device (30) reads out horizontal-direction one-line data from the cut out image from the memory (32). The read out data is supplied via a bus (31) to a processing circuit (41). Next, the DMA control circuit (40) sets the head address of the horizontal-direction one line subsequent to the cut out image on the DMA device (30). The DMA device (30) reads out one-line image data from the memory (32). When all the lines in the vertical direction are read out, the processing is complete. Since the image data read out from the memory (32) is performed for each line of the cut out image, image data of a rectangular region is transferred without reading out image data of an unnecessary region.

(57) 要約: 画像の一部を矩形に切り出して転送する処理をより高速に行う。メモリ 32 に格納された画像データから矩形領域を切り出す場合、DMA 制御回路 40 は、データ転送を開始する先頭アドレスと読み出し幅を示す情報とを DMA 装置 30 にセットする。これらの情報に基づき、DMA 装置 30 は、メモリ 32 から切り出し画像の水平方向の 1 行分のデータを読み出す。読み出されたデータは、バス 31 を介して処理回路 41 に供給される。次に、DMA 制御回路 40 は、切り出し画像の次の水平方向の 1 行の先頭アドレスを DMA 装置

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

30にセットし、DMA装置30は、1行分の画像データをメモリ32から読み出す。垂直方向の全ての行が読み出して、処理が終了する。メモリ32からの画像データの読み出しを切り出し画像の1行毎に行うため、不要な領域の画像データを読み出すことなく、矩形領域の画像データが転送される。

明 細 書

画像処理装置および画像処理方法

技術分野

- 5 この発明は、画像データから任意の矩形画像データを切り出す処理を効率的に行うようにした画像処理装置および画像処理方法に関する。

背景技術

- 10 一般的に画像データは、画像の左上から右下に向けて、水平方向の順番で、メモリ上の連続的な空間に格納される。第1図は、このような画像データのメモリ101への格納方法を概略的に示す。メモリ101において、画像100の左上隅の先頭データを先頭アドレスとして、先頭データから水平方向に1ライン（1行）分のデータが順に格納される。続けて、先頭データの1行下のデータが1行分、画像100の左側から右側に向けて、水平方向の順に格納される。以下同様にして、画像データが1行ずつ、画像100の左側から右側に向けて水平方向の順に格納され、最終データが格納されたアドレスが、画像100のメモリ空間101上での最終アドレスとされる。このようにして、メモリ101上の連続的な空間に、画像100の画像データが格納される。

なお、メモリ101におけるアドレスの最小単位は、16ビット単位、32ビット単位など、メモリ101の仕様により異なる。

- ところで、近年では、メモリのデータの入出力を、DMA (Direct Memory Access) 転送を用いて行うことが一般的になっている。周知のように、DMA転送では、CPU (Central Processing Unit) とは別
- 25

にDMAコントローラが用意され、CPUからDMAコントローラに対して処理が依頼されると、DMAコントローラにより、CPUの介在無しにDMA転送が開始される。

ここで、第2図に一例が示されるように、原画像110の一部を矩形に切り出し、切り出された切り出し画像111の画像データを転送する場合について考える。この場合、例えばDMA転送の処理により、少なくとも切り出し画像111の先頭アドレスであるアドレス A_{ST} から、最終アドレスであるアドレス A_{ED} までをメモリから読み出していた。

例えば、特許第2888534号公報に記載のイメージ切り出し装置では、メモリに格納された画像データから矩形領域を切り出す際に、切り出し位置のボトム位置までは、X軸方向の読み出しを繰り返し、データの無効部分では復号回路からのデータを無効とし、データの有効部分でのみ復号回路からのデータを有効とすることで、所望の領域のイメージデータを得ている。

このような、従来の画像データ転送方法では、例えば第2図に斜線で示されるように、切り出し画像111以外の不要なデータ領域のデータまでメモリから読み出されてしまい、処理速度の低下を招いていたという問題点があった。

第2図の例では、原画像110の画像データは、メモリ上の連続的な空間に原画像110の先頭データから最終データまで、画像の左上から右下に向かって、水平方向の順番で、各行が順に格納されている（第1図参照）。したがって、アドレス A_{ST} およびアドレス A_{ED} が指定されることで、メモリに格納されている原画像110のアドレス A_{ST} からアドレス A_{ED} までの画像データが連続的に読み出される。これにより、切り出し画像111の矩形領域内のデータと共に、第2図に

斜線で示される不要データ領域のデータも読み出されてしまい、この不要データ領域のデータの読み出しに要する時間が無駄となっていた。

5 発明の開示

したがって、この発明の目的は、画像の一部を矩形に切り出して転送する処理をより高速に行うことができるような画像処理装置および画像処理方法を提供することにある。

この発明は、上述した課題を解決するために、メモリに記憶された
10 画像データの一部を切り出して転送するようにした画像処理装置において、メモリから画像データを読み出す画像データ読み出し手段と、画像データ読み出し手段によるメモリからの画像データの読み出しを制御する制御手段とを有し、制御手段は、メモリに記憶された画像データの一部を切り出す際に、画像データを、切り出される画像の1行
15 毎にメモリから読み出すように、画像データ読み出し手段を制御するようにしたことを特徴とする画像処理装置である。

また、この発明は、メモリに記憶された画像データの一部を切り出して転送する画像処理方法において、メモリに記憶された画像データの一部を切り出す際に、画像データを、切り出される画像の1行分毎
20 にメモリから読み出すことを特徴とする画像処理方法である。

上述したように、この発明は、メモリに記憶された画像データの一部を切り出す際に、画像データを、切り出される画像の1行毎にメモリから読み出すように制御しているため、原画像の一部を切り出して転送する際に、不要な領域のデータを転送することなく、所望の切り
25 出し画像の画像データを転送することができる。

図面の簡単な説明

第 1 図は、画像データのメモリへの格納方法を概略的に示す略線図、第 2 図は、従来技術により原画像の一部を矩形に切り出すことを説明するための略線図、第 3 図は、この発明の実施の一形態による画像
5 処理装置の一例の構成を示すブロック図、第 4 図は、原画像の一部を矩形に切り出すことを説明するための略線図、第 5 図は、この発明の実施の一形態による、画像から切り出し画像を切り出す一例の処理のフローチャートである。

10 発明を実施するための最良の形態

以下、この発明の実施の一形態について説明する。この発明では、画像の一部を矩形に切り出して転送する際に、転送される画像データの 1 行毎にデータ転送を制御する。より具体的には、例えば、転送される画像データの 1 行毎に、原画像から切り出される切り出し画像の
15 、メモリ上での先頭アドレス情報と読み出し幅（切り出し画像の幅）情報とを与える。これにより、原画像の一部が切り出された切り出し画像データの転送を、不要なデータを転送することなく行うことができる。

第 3 図は、この発明の実施の一形態による画像処理装置 1 の一例の
20 構成を示す。この画像処理装置 1 は、概略的には、それぞれデータバス幅の異なるバス 1 1（バス A）、バス 2 1（バス B）およびバス 3 1（バス C）に接続されたメモリ 1 3、2 2 および 3 2 から読み出された画像データを、処理回路 4 1 により拡大、縮小といった画像処理を施して、例えば LCD (Liquid Crystal Display) 4 3 といった表示
25 装置に表示させるようにしたものである。

例えば、バス 1 1、2 1 および 3 1 は、それぞれデータバス幅が 1

6ビット、32ビットおよび64ビットとされる。バス11は、例えばCPU12およびRAM(Random Access Memory)13が接続される。CPU12は、例えば、画像処理装置1を構成する各部分とコマンドやデータなどのやりとりを行い、画像処理装置1の全体の動作を制御する。RAM13は、データバス幅が16ビットであって、例えばCPU12のワークメモリとして用いられる。

バス21は、例えば、データバス幅が32ビットであるeDRAM(embedded Dynamic RAM)22が接続される。eDRAM22は、この画像処理装置1に内蔵されるDRAMである。バス31は、例えば、データバス幅が64ビットであるフラッシュメモリ32が接続される。

バス11、21および31には、それぞれ専用のDMA装置10、20および30が接続される。これらDMA装置10、20および30により、バス11、21および31に接続された各メモリ13、22および32に関するデータ転送がそれぞれ制御される。詳細は後述するが、このDMA装置10、20および30によるデータ転送制御は、DMA制御回路40からDMA装置10、20および30にそれぞれ供給される制御信号に基づきなされる。すなわち、各バス11、21および31に接続されたメモリ13、22および32のアクセス制御は、DMA制御回路40の制御信号に基づきなされる。

例えば、CPU12からDMA制御回路40に対して、フラッシュメモリ32に格納されている画像データを読み出すようなコマンドが与えられると、このコマンドに従い、DMA制御回路40から読み出すべき画像データのアドレス情報などが制御信号として出力され、DMA装置30に供給される。DMA装置30により、DMA制御回路40から供給された制御信号に基づきフラッシュメモリ32がアクセ

スされ、画像データがバス 3 1 を介して読み出される。読み出された画像データは、DMA 装置 3 0 の制御により処理回路 4 1 に転送される。

5 処理回路 4 1 に転送された画像データは、例えば CPU 1 2 から供給されたコマンドに基づき処理回路 4 1 で拡大、縮小などの処理が施され、出力される。処理回路 4 1 から出力された画像データは、LCD コントローラ 4 2 により LCD 4 3 の駆動信号に変換され、LCD 4 3 に表示される。

10 なお、上述の画像処理装置 1 の構成において、バス 1 1、2 1 および 3 1、DMA 装置 1 0、2 0 および 3 0、DMA 制御回路 4 0、ならびに、処理回路 4 1 は、例えば 1 個の L S I (Large Scale Integrated circuit) 上に搭載される。

15 上述した、DMA 制御回路 4 0 によるメモリのアクセス制御について、より詳細に説明する。ここでは、フラッシュメモリ 3 2 に格納された画像データによる画像の一部を矩形に切り出して転送する場合について説明する。例えば、第 4 図に一例が示されるように、フラッシュメモリ 3 2 に格納された画像データによる原画像 5 0 の一部を、切り出し画像 5 1 として示されるように矩形に切り出す。このとき、切り出し画像 5 1 に対応する画像データだけにアクセスし、不要な領域
20 のデータにはアクセスしないように、フラッシュメモリ 3 2 に対するアクセス制御を行う。

25 なお、ここでは、切り出し画像 5 1 の指定は、切り出し画像 5 1 の左上隅のデータに対応する、切り出し画像 5 1 の全体の先頭アドレスであるアドレス A_{ST0} と、切り出し画像 5 1 の水平方向および垂直方向のサイズをそれぞれ示すサイズ H およびサイズ V によりなされるものとする。また、原画像 5 0 の水平方向のサイズ H_{ALL} 、ならびに、原画

像 5 0 の先頭アドレスおよび最終アドレス、すなわち、原画像 5 0 の左上隅および右下隅のデータに対応するアドレスは、予め分かっているものとする。

第 5 図は、この発明の実施の一形態による、画像 5 0 から切り出し
5 画像 5 1 を切り出す一例の処理のフローチャートである。まず、切り出し画像 5 1 全体の先頭アドレスであるアドレス A_{st0} 、サイズ H およびサイズ V などのデータが DMA 制御回路 4 0 にセットされる（ステップ $S 1 0$ ）。これらのデータは、例えば図示されない外部の CPU から供給される。CPU 1 2 から供給されるようにしてもよい。また
10 、これらのデータと共に、メモリ 1 3、2 2 および 3 2 のうちフラッシュメモリ 3 2 を指定する情報も、DMA 制御回路 4 0 に供給される。

ステップ $S 1 1$ で、DMA 制御回路 4 0 から DMA 装置 3 0 に対して、次行の切り出し画像 5 1 の先頭アドレスであるアドレス A_{stn} およ
15 び転送サイズ H のデータが送信されると共に、フラッシュメモリ 3 2 からのデータ転送の開始を指示するスタート信号が送信される。切り出し画像 5 1 の第 1 行目の転送である場合は、アドレス A_{stn} として、切り出し画像 5 1 の全体の先頭アドレスであるアドレス A_{st0} が指定される。

20 DMA 装置 3 0 では、先頭アドレス A_{st0} および転送サイズ H 、ならびに、スタート信号に従い、フラッシュメモリ 3 2 に対してアクセスがなされ、フラッシュメモリ 3 2 から、切り出し画像 5 1 の 1 行目の画像データが読み出される。フラッシュメモリ 3 2 のアドレス A_{st0} が DMA 装置 3 0 によりアクセスされ、サイズ H に対応するアドレスま
25 で、アクセス単位毎に順次、画像データが読み出される。読み出された画像データは、バス 3 1 を介して処理回路 4 1 に転送される。サイ

ズHに対応するアドレスまで画像データが転送されることで、切り出し画像51の1行分のデータ転送が終了される（ステップS12）。

切り出し画像51の1行分の画像データの転送が終了されると、ステップS13で、DMA装置30からDMA制御回路40に対して終了信号が送信される。この終了信号がDMA制御回路40に受信されると、DMA制御回路40において、サイズV分のデータ転送が完了したか否かが判断される（ステップS14）。若し、サイズV分のデータ転送が完了していると判断されれば、切り出し画像51の画像データの転送が完了したとされ、一連の処理が終了される。

10 一方、サイズV分のデータ転送が完了していないと判断されれば、処理はステップS11に戻される。このとき、DMA制御回路40により、次行の先頭アドレスであるアドレス A_{ST1} が計算される。例えば、切り出し画像51のn行目の先頭アドレスをアドレス A_{STn} とすると、次行の先頭アドレスであるアドレス $A_{ST(n+1)}$ は、このアドレス A_{STn} に、原画像50の水平方向のサイズ H_{ALL} 分に対応するアドレス量を加えたものになる。

また、上述したステップS14での、サイズV分の転送が終了したか否は、例えば、ステップS14からステップS11に戻されるループ処理の回数をカウントしたカウント値により判断することができる。

20 ここでは、フラッシュメモリ32に格納された画像データから切り出し画像の画像データを転送する例について説明したが、この説明は、バス11に接続されたRAM13や、バス21に接続されたeDRAM22に格納された画像データから切り出し画像の画像データを転送する場合にも、同様にして適用することができる。

なお、DMA制御回路40の動作は、各DMA装置10、20およ

び30に対して、画像データの読み出し幅を与える動作と、次に読み出す行の先頭アドレスを与える動作と、転送スタートを指示するスタート信号を与える動作とからなる。一方、この実施の一形態による画像処理装置1は、データバス幅の異なる3種類のバス11、21および31と接続されており、バス11、21および31毎に専用のDMA装置10、20および30が設けられている。

DMA装置10、20および30のDMA制御回路40に対するインターフェイスを、DMA装置10、20および30で共通としておくことで、DMA装置10、20および30で、DMA制御回路40を共有することができる。例えば、各DMA装置10、20および30間で、スタート信号およびアドレスの指定方法の仕様を共通化する。

DMA制御回路40は、加算器とレジスタから構成され、比較的回路規模が大きい。各DMA装置10、20および30でDMA制御回路40を共有化することで、回路規模を削減できる。

また、DMA制御回路40側から見ると、DMA制御回路40と各DMA装置10、20および30とのインターフェイスが同一である。そのため、DMA制御回路40は、各DMA装置10、20および30に接続されるバス11、21および31を等価的に扱うことができる。

接続されるバスの変更などの設計仕様変更が生じた場合も、変更されたバスに専用のDMA装置を設け、このDMA装置のインターフェイスを他のDMA装置のインターフェイスと共通とすることで、DMA制御回路40からの制御が可能である。そのため、設計変更に対する対応が容易であり、設計資産の再利用についても優位である。

以上説明したように、この発明は、原画像の一部を矩形に切り出し

て転送する際に、切り出された切り出し画像の1行毎の転送を制御している。これにより、必要な部分のデータだけを転送できるため、不要なデータ領域のデータを転送することなく所望の矩形領域を切り出すことができ、データ転送の高速化を図ることができる効果がある。

- 5 また、この発明では、切り出し画像から1行分のデータを読み出す機能と、当該機能を制御する制御機能とに分離している。そのため、データバス幅が異なる複数のメモリやバスに接続されているシステムに対してこの発明を適用することで、複数のメモリやバスの接続に対して制御機能を共有することができ、回路規模を削減することができる効果がある。
- 10

- さらに、この発明では、画像データ読み出し手段に対してデータ転送を行うアドレスを指示するアドレス情報や、データ転送の開始を指示するスタート信号を送信する制御手段が設けられ、制御手段に対するインターフェイスが複数の画像データ読み出し手段間で共通とされている。そのため、制御手段においては、データバス幅が異なる複数のバスのそれぞれを等価的に扱うことができ、バスの変更などにも柔軟に対応可能であるという効果がある。またそのため、設計資産の再利用に適しているという効果がある。
- 15

請 求 の 範 囲

1. メモリに記憶された画像データの一部を切り出して転送するようにした画像処理装置において、

メモリから画像データを読み出す画像データ読み出し手段と、

5 上記画像データ読み出し手段による上記メモリからの上記画像データの読み出しを制御する制御手段と

を有し、

上記制御手段は、上記メモリに記憶された画像データの一部を切り出す際に、上記画像データを、切り出される画像の1行毎に上記メモリから読み出すように、上記画像データ読み出し手段を制御するようにしたことを特徴とする画像処理装置。

2. 請求の範囲1に記載の画像処理装置において、

上記制御手段は、上記画像データ読み出し手段に対して、上記1行分の画像データの読み出しを開始するアドレスを示すアドレス情報と、
15 、上記1行の水平方向のサイズを示す読み出し幅情報とを与えると共に、上記メモリからの上記画像データの読み出しを開始するように指示することで、上記画像データ読み出し手段を制御するようにしたことを特徴とする画像処理装置。

3. 請求の範囲1に記載の画像処理装置において、

20 各々が異なるバスに接続された複数の上記画像データ読み出し手段をさらに有し、

上記制御手段は、上記複数の画像データ読み出し手段をそれぞれ制御するようにしたことを特徴とする画像処理装置。

4. 請求の範囲3に記載の画像処理装置において、

25 上記制御手段に対する上記複数の画像データ読み出し手段のインターフェイスは、上記複数の画像データ読み出し手段間で同一仕様とさ

れていることを特徴とする画像処理装置。

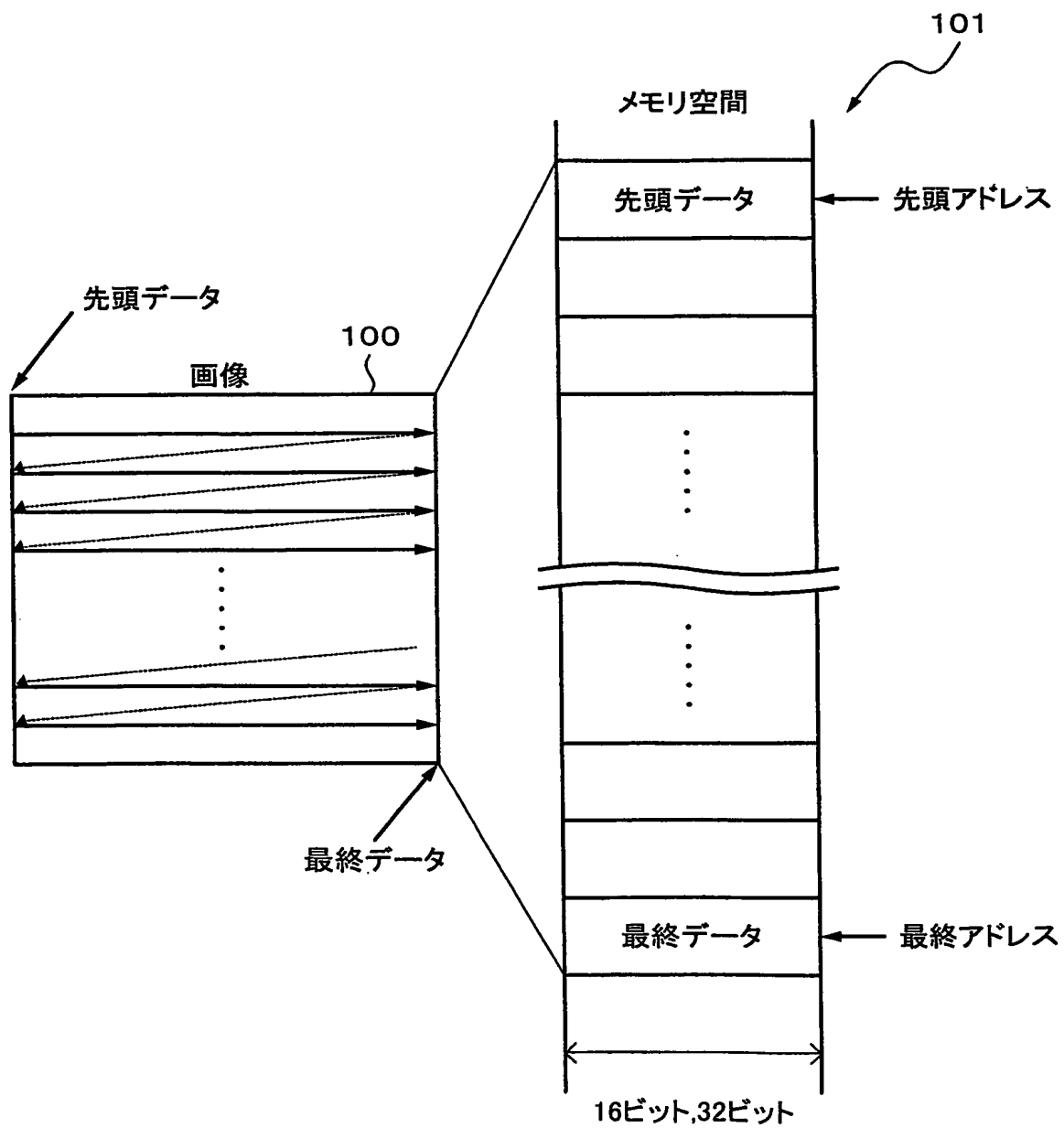
5. メモリに記憶された画像データの一部を切り出して転送する画像処理方法において、

上記メモリに記憶された画像データの一部を切り出す際に、上記画像データを、切り出される画像の1行分毎に上記メモリから読み出すことを特徴とする画像処理方法。

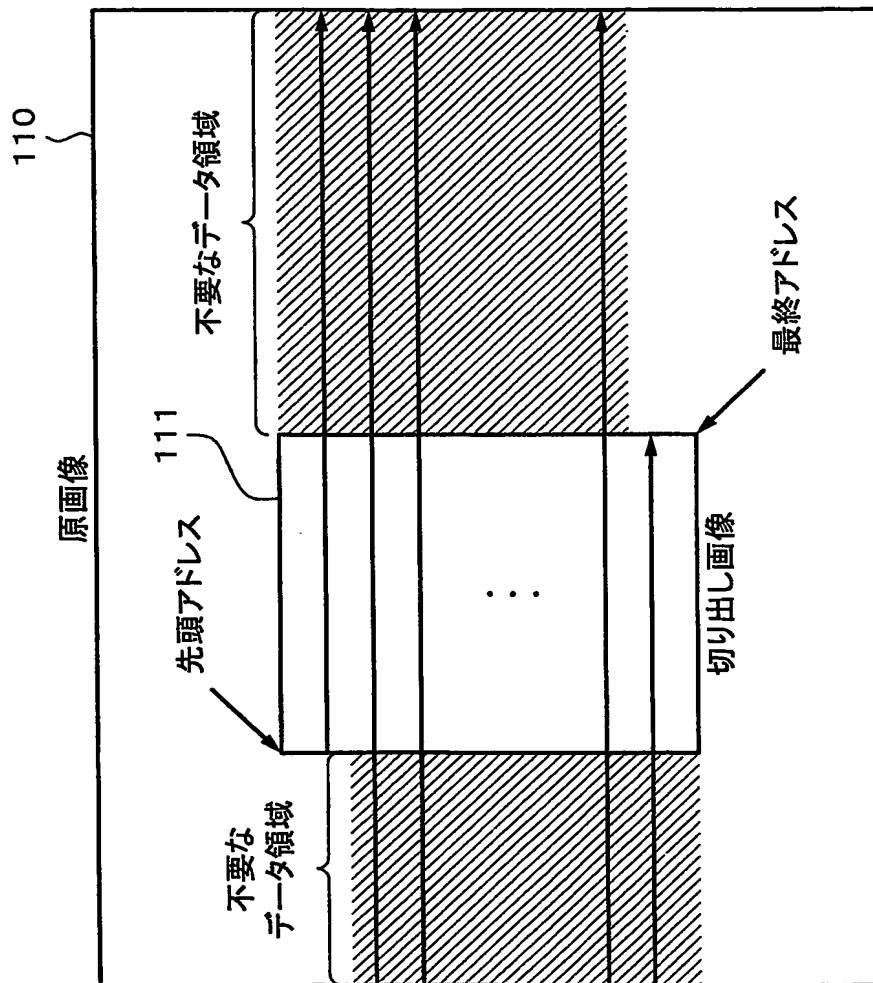
6. 請求の範囲5に記載の画像処理方法において、

上記1行分の画像データは、読み出しを開始するアドレスと、上記1行の水平方向のサイズを示す読み出し幅情報とに応じて特定することを特徴とする画像処理方法。

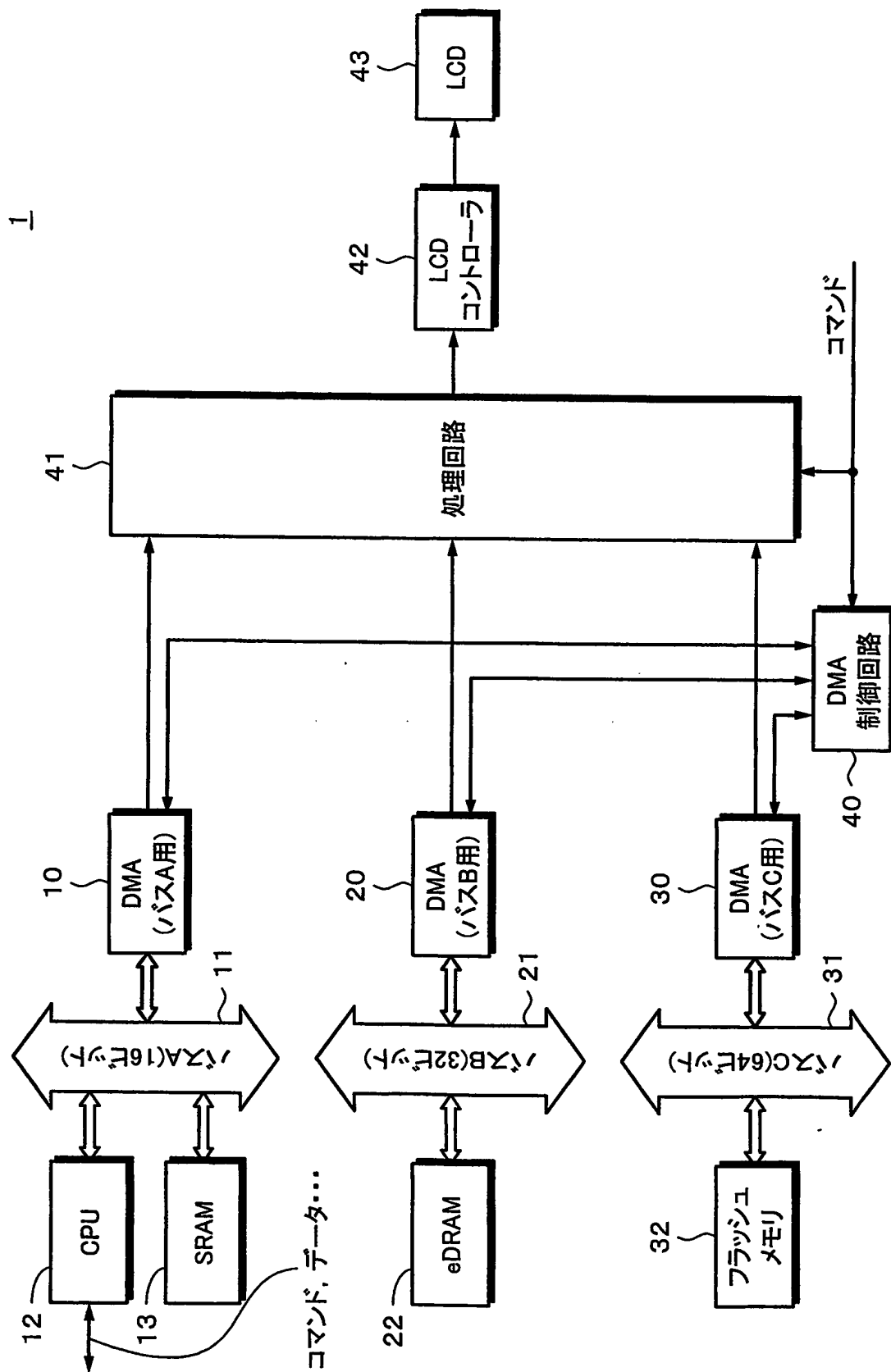
第1図



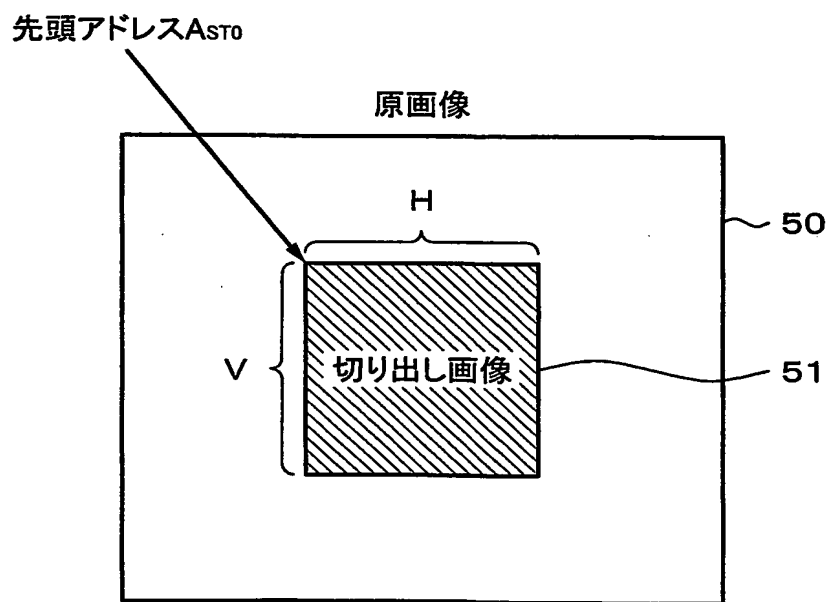
第2図



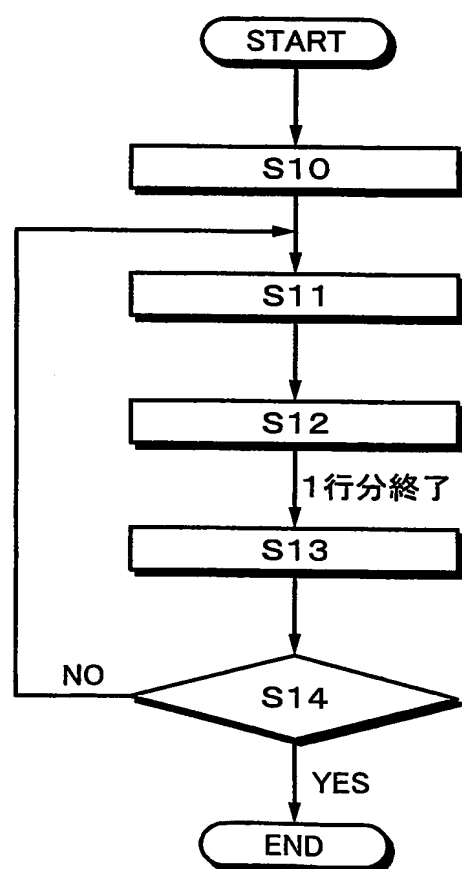
第3図



第4図



第5図



符 号 の 説 明

1 画像処理装置

1 0, 2 0, 3 0 DMA装置

1 1, 2 1, 3 1 バス

1 2 CPU

1 3 RAM

2 2 eDRAM

3 2 フラッシュメモリ

4 0 DMA制御回路

4 1 処理回路

S 1 0 切り出し画像の先頭アドレスの A_{ST0} 、サイズH、VなどのデータのDMA制御回路に対するセット

S 1 1 次行の先頭アドレス A_{STn} 、転送サイズH、スタート信号のDMA制御回路からDMA装置への送信

S 1 2 DMA装置による1行分のデータ転送

S 1 3 DMA装置からDMA制御回路への終了信号の送信

S 1 4 サイズV分のデータ転送完了?

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11422

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06T3/00, H04N1/21, G06P3/153

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06T3/00, H04N1/21, G06F13/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 57-10067 U (Hitachi, Ltd.), 19 January, 1982 (19.01.82), Full text; all drawings	1, 2, 5, 6 3, 4
Y	JP 63-205773 A (Fujitsu Ltd.), 25 August, 1988 (25.08.88), Full text; all drawings (Family: none)	3, 4
A	JP 63-34658 A (Sharp Corp.), 15 February, 1988 (15.02.88), Full text; all drawings (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not

considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
18 November, 2003 (18.11.03)

Date of mailing of the international search report
09 December, 2003 (09.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11422

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-84215 A (Matsushita Electric Industrial Co., Ltd.), 30 March, 2001 (30.03.01), Full text; all drawings & EP 1069512 A2	3, 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl¹ G06T 3/00, H04N 1/21, G06F 3/153

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl¹ G06T 3/00, H04N 1/21, G06F 13/28

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 57-10067 U (株式会社日立製作所) 1982. 01. 19	1, 2, 5, 6
Y	全文、全図	3, 4
Y	JP 63-205773 A (富士通株式会社) 1988. 08. 25 (ファミリーなし) 全文、全図	3, 4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18. 11. 03

国際調査報告の発送日

09.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

真木 健彦



5H

9569

電話番号 03-3581-1101 内線 3531

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 63-34658 A (シャープ株式会社) 1988. 02. 15 (ファミリーなし) 全文、全図	1-6
A	JP 2001-84215 A (松下電器産業株式会社) 2001. 03. 30 全文、全図 & EP 1069512 A2	3, 4

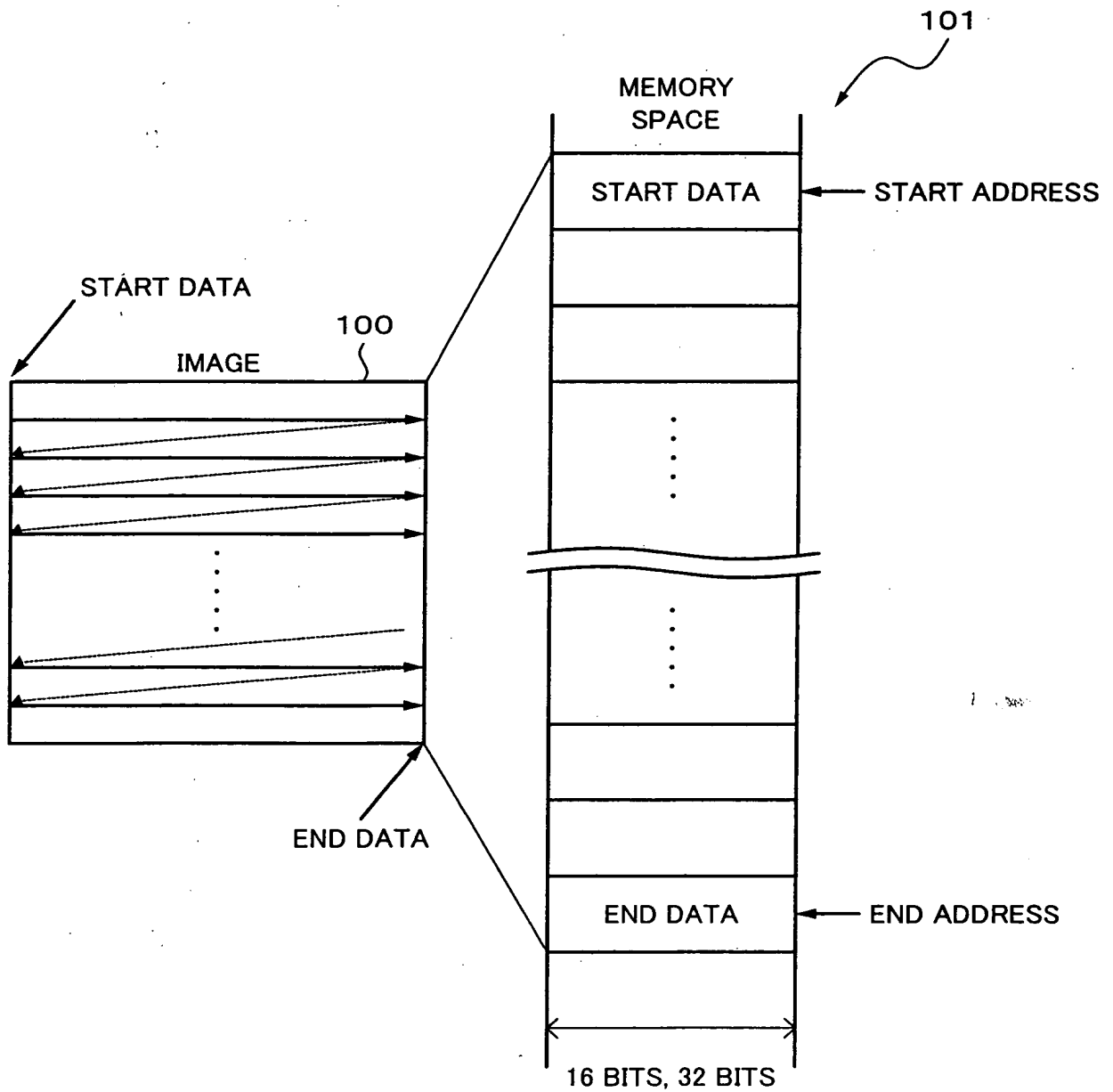
Fig. 1

Fig. 2

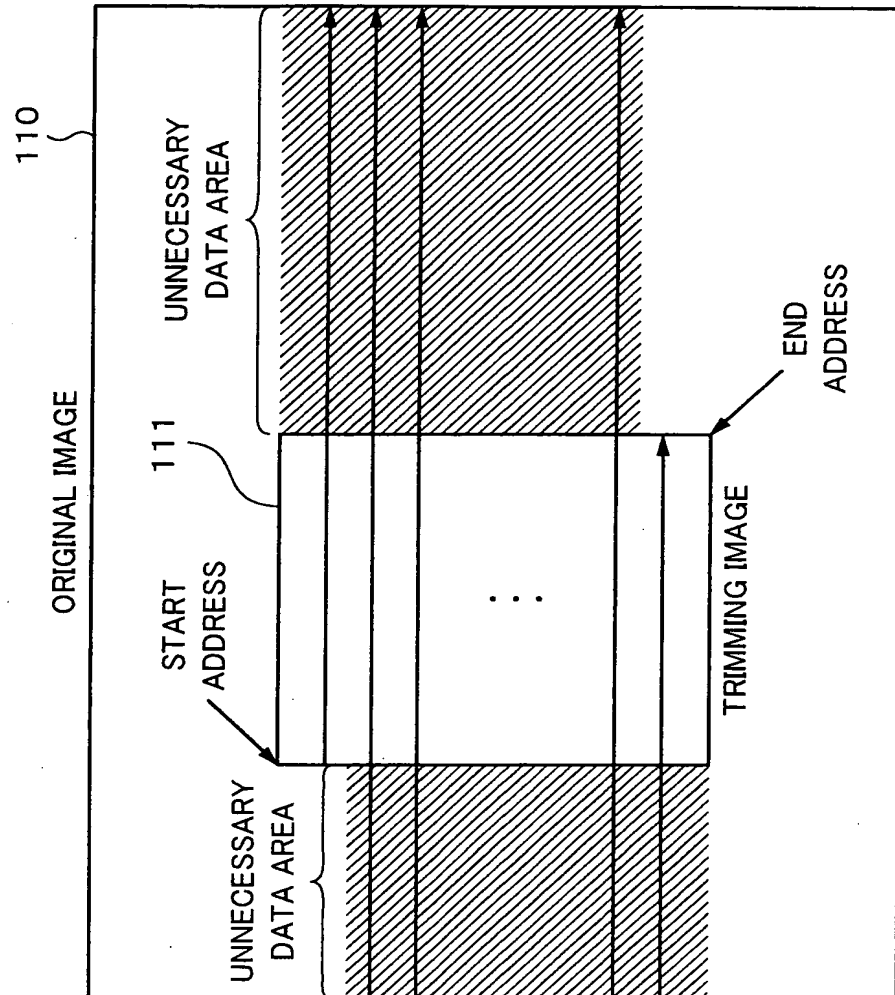


Fig. 3

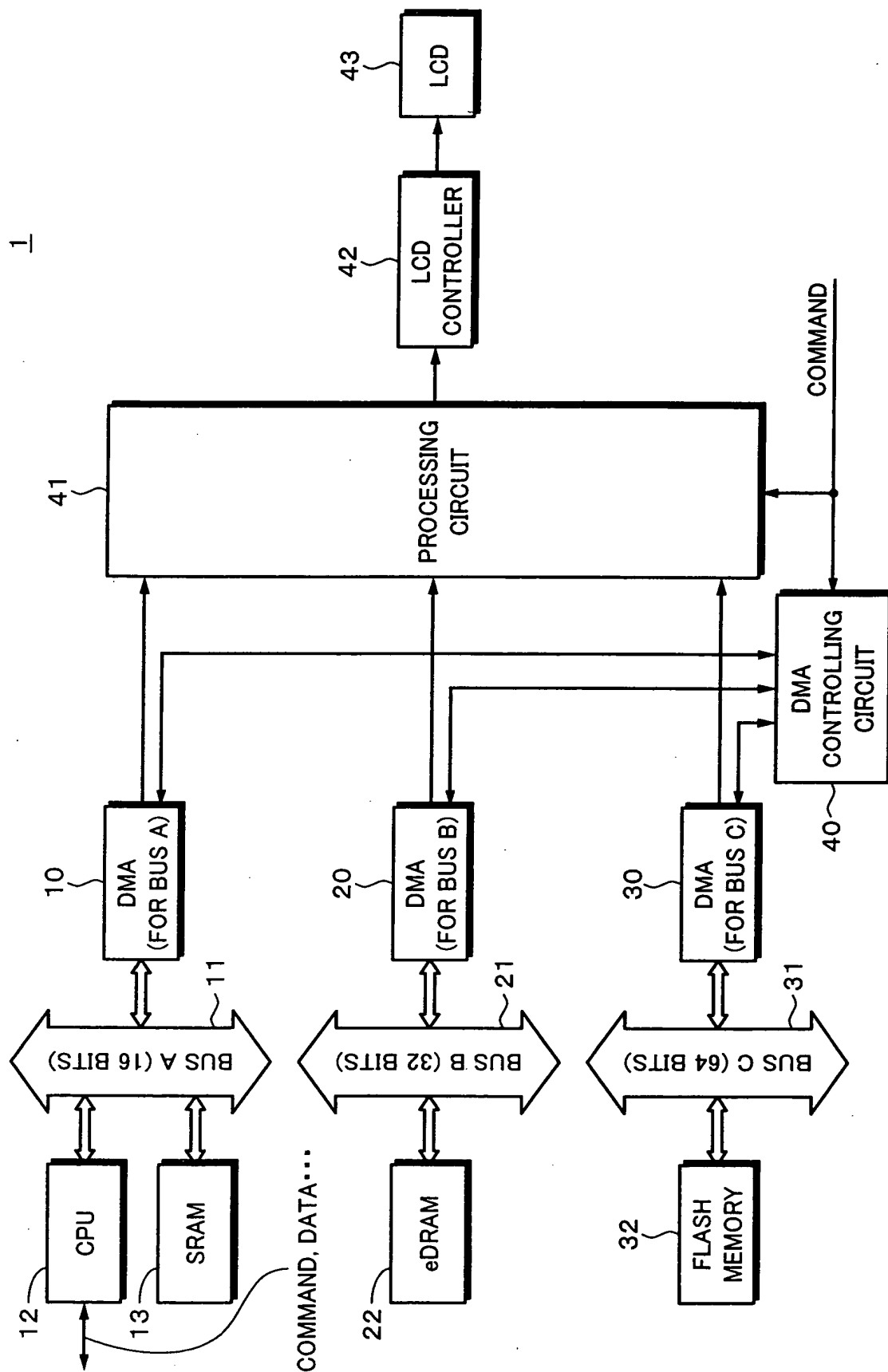


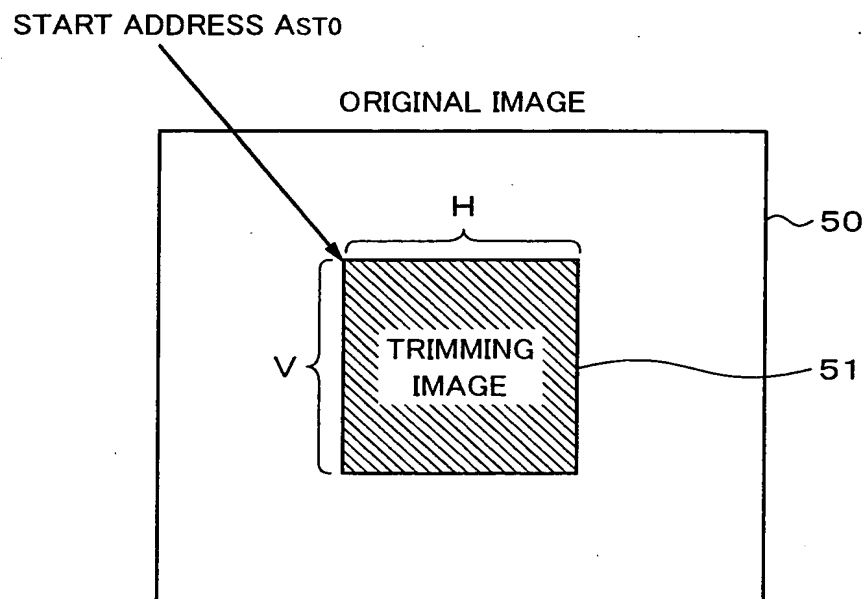
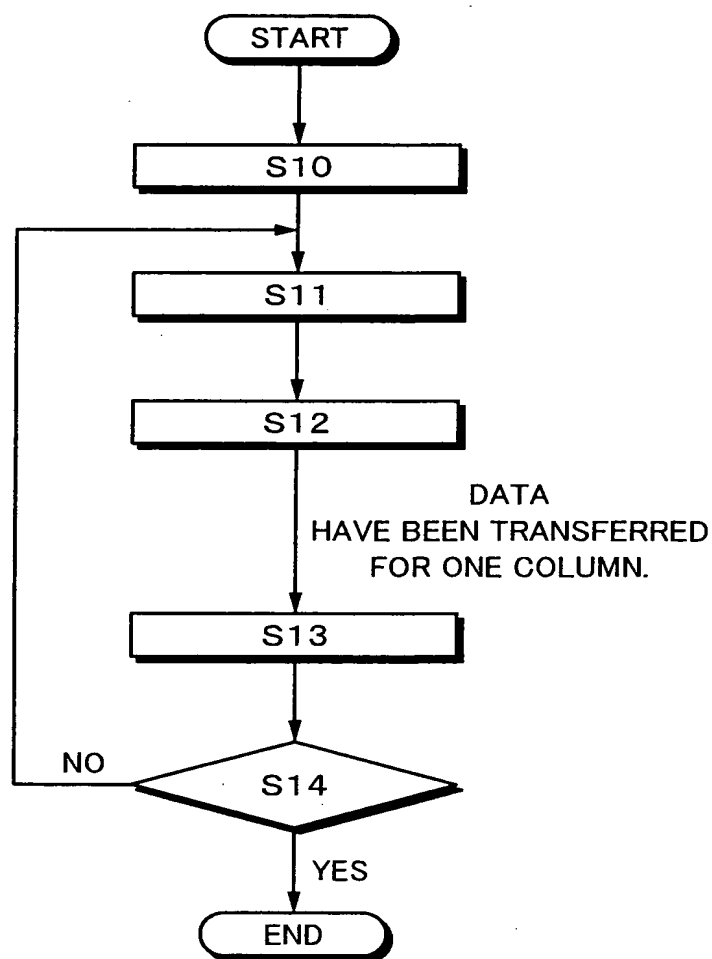
Fig. 4

Fig. 5

DESCRIPTION OF REFERENCE NUMERALS

- 1 IMAGE PROCESSING APPARATUS
- 10, 20, 30 DMA DEVICE
- 11, 21, 31 BUS
- 12 CPU
- 13 RAM
- 22 eDRAM
- 32 FLASH MEMORY
- 40 DMA CONTROLLING CIRCUIT
- 41 PROCESSING CIRCUIT
- S10 SET DATA OF START ADDRESS A_{ST0} , SIZES H AND V, AND SO FORTH OF TRIMMING IMAGE TO DMA CONTROLLING CIRCUIT.
- S11 DMA CONTROLLING CIRCUIT SENDS START ADDRESS A_{STn} OF NEXT COLUMN, TRANSFER SIZE H, AND START SIGNAL TO DMA DEVICE.
- S12 DMA DEVICE TRANSFERS DATA FOR ONE COLUMN.
- S13 DMA DEVICE SENDS END SIGNAL TO DMA CONTROLLING CIRCUIT.
- S14 HAVE DATA OF SIZE V BEEN TRANSFERRED ?